

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280919  
(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

H04B 1/26  
H03L 7/08  
H04B 1/10

(21)Application number : 2001-300623

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 28.09.2001

(72)Inventor : MAEDA YOJI  
MATSUSHIMA AKEMASA  
SHIMAMURA KIWA

(30)Priority

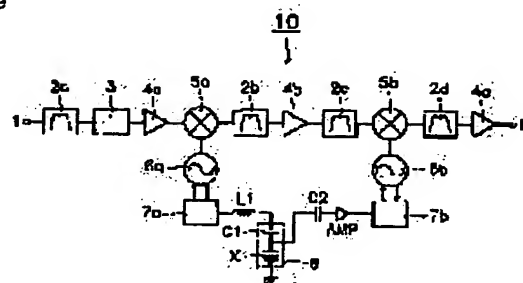
Priority number : 2001001705 Priority date : 09.01.2001 Priority country : JP

(54) TUNER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a tuner that can prevent a reference frequency signal acting as a disturbance wave from superimposing on a local oscillation signal.

SOLUTION: The tuner 10 is provided with an input terminal 1, 1st-4th band pass filters 2a-2d, an automatic gain controller 3, 1st-3rd amplifiers 4a-4c, 1st and 2nd mixers 5a, 5b, 1st and 2nd voltage controlled oscillators 6a, 6b, 1st and 2nd PLL ICs 7a and 7b, a reference oscillator circuit 8, and an output terminal 9. Then the 2nd PLL IC 7b and the reference oscillator circuit 8 are connected via a capacitor C2 and an amplifier AMP, similar to the case with a conventional tuner 50 but with a reference oscillation amplifier being included in the 1st PLL IC 7a and the reference oscillator circuit 8 are connected via an inductor L1 which is an inductive element.



## LEGAL STATUS

[Date of request for examination]

18.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



**Japanese Publication of Un examined Patent Application**

**No. 280919/2002 (Tokukai 2002-280919)**

**A. Relevance of the Above-Identified Document**

This document has relevance to claims 1, 7, 8 and 9 of the present application.

**B. Translation of the relevant Passages of the Document**

[0008]

**[PROBLEM TO BE SOLVED BY THE INVENTION]**

According to the conventional tuner, the first PLLIC including the first voltage control oscillator and an amplifier for reference oscillation, and the reference oscillation circuit are generally provided in close proximity to one another within the same cabinet to meet a demand for miniaturization in recent years. With this structure, the first local oscillation signal is liable to enter from the connection terminal between the reference oscillation circuit and the first PLLIC into the amplifier for reference oscillation of the first PLLIC. As a result, in the amplifier for reference oscillation of the PLLIC, the reference frequency signal and the first local oscillation signal as entered are mixed, and the first local oscillation signal is superimposed onto the reference frequency signal (the reference frequency signal  $\pm$  the first local oscillation signal). This reference frequency signal including the first local oscillation signal is sent



back to the first voltage control oscillation circuit via the first PLLIC, a component of the reference frequency signal is superimposed onto the first local oscillation signal (the first local oscillation signal  $\pm$  the reference frequency signal). The oscillation frequency of a high-precision quartz oscillator, which constitutes the reference oscillation circuit, is generally set to  $\pm 4$  MHz band, and thus the unwanted signal is the first local oscillation signal  $\pm 4$  MHz band. Here, as the frequency of this unwanted signal falls within an analog video series transmission band width 6 MHz, the unwanted signal is a disturbance wave, thereby causing deterioration in an image quality of the CATV.

...

[0012]

In order to solve the above problem, the tuner of the present invention which includes a reference oscillation circuit, a voltage control oscillation circuit, a PLL circuit for making a phase comparison between an oscillation signal of the reference oscillation circuit and an oscillation signal of the voltage control oscillation circuit and controlling an oscillation frequency of the oscillation signal of the voltage control oscillator according to the result of comparison, and a mixer for converting the frequency of an input signal into an intermediate frequency signal based on the oscillation signal of the voltage control oscillator, is characterized in that an inductance element is connected between the reference oscillation circuit and the PLL circuit, said inductance element permitting the



oscillation signal of the reference oscillation circuit to pass therethrough, and blocking the oscillation signal of the voltage control oscillator.





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-280919

(P2002-280919A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 4 B 1/26		H 0 4 B 1/26	U 5 J 1 0 6
H 0 3 L 7/08		1/10	K 5 K 0 2 0
H 0 4 B 1/10		H 0 3 L 7/08	Z 5 K 0 5 2
			G

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号	特願2001-300623(P2001-300623)	(71)出願人	000006231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22)出願日	平成13年9月28日(2001.9.28)	(72)発明者	前田 洋二 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(31)優先権主張番号	特願2001-1705(P2001-1705)	(72)発明者	松島 明正 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(32)優先日	平成13年1月9日(2001.1.9)	(72)発明者	嶋村 喜和 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
(33)優先権主張国	日本 (J P)		

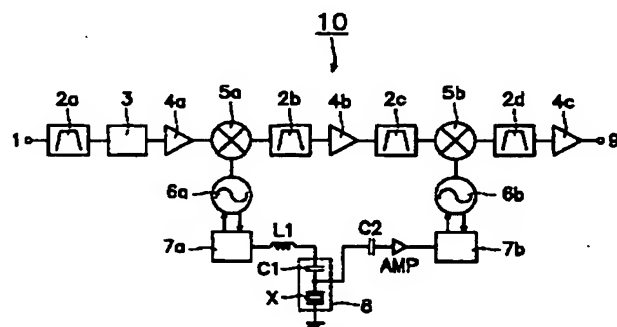
最終頁に続く

(54)【発明の名称】 チューナ

(57)【要約】

【課題】 局部発振信号に妨害波となる基準周波信号が重畳するのを防止できるチューナを提供する。

【解決手段】 チューナ10は、入力端子1、第1～第4の帯域通過フィルタ2a～2d、自動利得制御器3、第1～第3の増幅器4a～4c、第1及び第2の混合器5a、5b、第1及び第2の電圧制御発振器6a、6b、第1及び第2のPLLIC7a、7b、基準発振子回路8、出力端子9を備える。そして、第2のPLLIC7bと基準発振子回路8とは従来例のチューナ50と同様にコンデンサC2及び増幅器AMPを介して接続されるが、第1のPLLIC7aに含まれる基準発振用の増幅器と基準発振子回路8とはインダクタンス素子であるインダクタL1を介して接続される。



(2)

1

## 【特許請求の範囲】

【請求項1】 基準発振子回路および増幅器から構成される基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記増幅器との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とするチューナ。

【請求項2】 基準発振子回路および増幅器から構成される基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記増幅器との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とするチューナ。

【請求項3】 基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振回路と前記PLL回路との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とするチューナ。

【請求項4】 基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振回路と前記PLL回路との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とするチューナ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、チューナに関し、特に局部発振信号に妨害波となる基準周波信号が重畳するのを防止できるチューナに関する。

2

## 【0002】

【従来の技術】 CATVでは、放送電波の再送信、空チャンネル、ミッドバンド、スーパーバンドを用いて数十チャンネルの番組の送信が可能である。このようなCATVでは、番組の選択と課金のために、信号のスクランブルと必要情報の交信が併用されるため、ダブルコンバージョンチューナを受信機の前に設置して受信が行われる。

【0003】 図3は、従来のチューナのブロック図である。チューナ50は、入力端子1、第1～第4の帯域通過フィルタ2a～2d、自動利得制御器3、第1～第3の増幅器4a～4c、第1及び第2の混合器5a、5b、第1及び第2の電圧制御発振器6a、6b、第1及び第2のPLLIC7a、7b、基準発振子回路8、出力端子9を備える。

【0004】 このチューナ50は、入力された入力信号をアップコンバータで周波数を上げ、次にダウンコンバータで周波数を下げることにより、妨害等を除去するダブルコンバージョン方式のものである。

【0005】 次に、チューナ50の動作について説明する。入力端子1より入力された入力信号は、第1の帯域通過フィルタ2aにより受信信号の周波数帯以外が減衰され、自動利得制御器3にて受信信号レベルに応じた自動利得制御電圧により所定のレベル範囲に制限された後、第1の増幅器4aにより増幅され、第1の混合器5aに供給される。第1の混合器5aは、第1の電圧制御発振器6aから出力される第1の局部発振信号に基いて、入力された入力信号を第1の中間周波信号に変換する。この場合、第1の電圧制御発振器6aは、第1のPLLIC7aに含まれる第1のPLL回路によりその発振周波数が制御されるとともに、周波数の安定化が図られる。

【0006】 第1の混合器5aから出力された第1の中間周波信号は、第2の帯域通過フィルタ2bにより、第1の中間周波数帯以外が減衰され、第2の増幅器4bで増幅された後、第3の帯域通過フィルタ2cにより、再度第1の中間周波数帯以外が減衰され、第2の混合器5bに供給される。第2の混合器5bは、第2の電圧制御発振器6bから出力される第2の局部発振信号に基いて、入力された第1の中間周波信号を第2の中間周波信号に変換する。この場合、第2の電圧制御発振器6bは、第2のPLLIC7bに含まれる第2のPLL回路によりその発振周波数が制御されるとともに、周波数の安定化が図られる。第2の混合器5bから出力された第2の中間周波信号は、第4の帯域通過フィルタ2dにより、第2の中間周波数帯以外が減衰され、第3の増幅器4cで増幅された後、出力端子9より出力される。

【0007】 なお、第1のPLLIC7aと基準発振子回路8とは直接接続され、第2のPLLIC7bと基準発振子回路8とはコンデンサC2及び増幅器AMPを介

(3)

3

して接続される。基準発振子回路8は、水晶振動子XとコンデンサC1とからなり、基準発振子回路8と第1のPLLIC7aに内蔵される増幅器とで構成させる基準発振回路で発振させる基準周波信号を第1の電圧制御発振器6aへ供給する。そして、同じ基準周波信号は、コンデンサC2及び増幅器AMPを介して第2のPLLIC7bにも供給される。

【0008】

【発明が解決しようとする課題】ところが、上述の従来のチューナによれば、近年の小型化設計要望により第1の電圧制御発振器、基準発振用の増幅器を含む第1のPLLIC及び基準発振子回路は同じ筐体内に近接して配置されるため、第1の局部発振信号が基準発振子回路と第1のPLLICとの接続端子から第1のPLLICの基準発振用の増幅器へ流入してしまう。その結果、第1のPLLICの基準発振用の増幅器で、基準周波信号とこの流入してきた第1の局部発振信号が混合され、基準周波信号は、第1の局部発振信号が重畳された（基準周波信号±第1の局部発振信号）となる。この第1の局部発振信号を含む基準周波信号は第1のPLLICを経由して第1の電圧制御発振器に戻るため、第1の局部発振信号に基準周波信号の成分が重畳され、（第1の局部発振信号±基準周波信号）となる。通常、基準発振子回路を構成する精度の高い水晶振動子の発振周波数は4MHz帯が使われるため、不要な信号は第1の局部発振信号±4MHzとなるが、この不要な信号の周波数はアナログ映像系伝送帯域幅6MHz内にあるため、これが妨害波となりCATVの画質が低下するといった問題があった。

【0009】本発明は、このような問題点を解決するためになされたものであり、基準発振信号が電圧制御発振器の発振信号に混入するのを防ぐことが可能なチューナを提供することを目的とする。

【0010】

【課題を解決するための手段】上述する問題点を解決するため本発明のチューナは、基準発振子回路および増幅器から構成される基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記増幅器との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とする。

【0011】また、本発明のチューナは、基準発振子回路および増幅器から構成される基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じ

4

て前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記増幅器との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とする。

【0012】また、本発明のチューナは、基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振回路と前記PLL回路との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とする。

【0013】また、本発明のチューナは、基準発振回路と、電圧制御発振器と、前記基準発振回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御するPLL回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振回路と前記PLL回路との間に、前記基準発振回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とする。

【0014】本発明のチューナによれば、基準発振子回路と増幅回路との間、もしくは基準発振回路とPLL回路との間に、基準周波信号を通過させ、電圧制御発振器の発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、電圧制御発振器の発振信号に、妨害波となる基準周波信号が重畳するのを防止できる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。なお、従来例と同一部分には、同一符号を付している。

【0016】図1は、本発明のチューナに係る第1の実施例のブロック図である。チューナ10は、従来例のチューナ50と同様に、入力端子1、第1～第4の帯域通過フィルタ2a～2d、自動利得制御器3、第1～第3の増幅器4a～4c、第1及び第2の混合器5a、5b、第1及び第2の電圧制御発振器6a、6b、第1及び第2のPLLIC7a、7b、基準発振子回路8、出力端子9を備える。

【0017】そして、第2のPLLIC7bと基準発振子回路8とは従来例のチューナ50と同様にコンデンサC2及び増幅器AMPを介して接続されるが、第1のPLLIC7aと基準発振子回路8に内蔵される増幅器とはインダクタンス素子であるインダクタL1を介して接

50

(4)

5

続される。

【0018】なお、基準発振子回路8と第1のPLL IC7aに内蔵される増幅器とで基準発振回路（図示せず）を構成する。

【0019】また、インダクタL1は、印刷パターンで形成され、そのインダクタンス値は第1の電圧制御発振器6aの発振信号を阻止するように15nHと小さい。すなわち、インダクタL1のインピーダンスは基準発振回路の発振周波数（4MHz）で0.38Ω、第1の電圧制御発振器6aの発振周波数（1.5GHz）では141.3Ωとなり、第1の電圧制御発振器6aの発振信号を阻止できる。

【0020】図2は、本発明のチューナに係る第2の実施例のブロック図である。チューナ20は、第1の実施例のチューナ10（図1）と比較して、第1のPLL IC7aと基準発振子回路8とがインダクタL2及びコンデンサC3、C4とからなる低域通過フィルタFを介して接続される点で異なる。

【0021】なお、第1の実施例のチューナ10（図1）と同様に、基準発振子回路8と第1のPLL IC7aに内蔵される増幅器とで基準発振回路（図示せず）を構成する。

【0022】また、インダクタL2及びコンデンサC3、C4のインダクタンス値、キャパシタンス値は、基準発振回路の発振信号（4MHz）を通過させ、第1の電圧制御発振器6aの発振信号（1.5GHz）を阻止するように設定されている。

【0023】上述の実施例のチューナによれば、基準発振子回路と第1のPLL ICに内蔵される増幅器との間に、基準発振回路の発振信号を通過させ、第1の電圧制御発振器の発振信号である第1の局部発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、基準発振子回路と第1のPLL ICに内蔵される増幅器とで構成させる基準発振回路から第1の電圧制御発振器へ供給する基準周波信号に、妨害波となる第1の局部発振信号が重畳するのを防止でき、その結果として第1の局部発振信号に妨害波となる基準周波信号が重畳するのを防止できる。

【0024】したがって、近年の小型化設計により電圧制御発振器と基準発振子回路とを近接させても、CATVの画質が劣化しなくなる。

【0025】なお、上述の実施例では、チューナがダブルコンバージョンチューナである場合について説明したが、シングルコンバージョンチューナであっても同様の効果が得られる。

【0026】また、インダクタが印刷パターンである場合について説明したが、チップコイル、空芯コイルなど

6

であっても同様の効果が得られる。

【0027】さらに、フィルタが低域通過フィルタである場合について説明したが、基準周波信号を通過させ第1の局部発振信号を通過させない帯域通過フィルタあるいは第1の局部発振信号のみを通過させない帯域阻止フィルタであっても同様の効果が得られる。

【0028】なお、上記の各実施例においては、第1のPLL ICに基準発振回路のための増幅器が含まれる構成を示したが、基準発振回路のための増幅器が第1のPLL ICに含まれずに外付けされる場合であっても、全く同様の作用効果を奏するものである。

【0029】さらには、基準発振回路のための増幅器が第1のPLL ICに含まれない場合には、基準発振子回路と増幅器とで構成される基準発振回路の出力が第1のPLL ICに入力されることになるが、この基準発振回路の出力と第1のPLL ICとの間にインダクタンス素子あるいはフィルタを接続する構成でも同様の作用効果を奏するものである。

【0030】

【発明の効果】本発明のチューナによれば、基準発振子回路とPLL ICに含まれる増幅器との間に、基準周波信号を通過させ、電圧制御発振器の発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、基準発振子回路とPLL回路に内蔵される増幅器とで構成させる基準発振回路から電圧制御発振器へ供給する基準周波信号に、妨害波となる電圧制御発振器の発振信号が重畳するのを防止でき、その結果として第1の局部発振信号に妨害波となる基準周波信号が重畳するのを防止できる。

【0031】したがって、近年の小型化設計により電圧制御発振器、基準発振子回路及びPLL ICを近接させても、CATVの画質が劣化しなくなる。

【図面の簡単な説明】

【図1】本発明のチューナに係る第1の実施例のブロック図である。

【図2】本発明のチューナに係る第2の実施例のブロック図である。

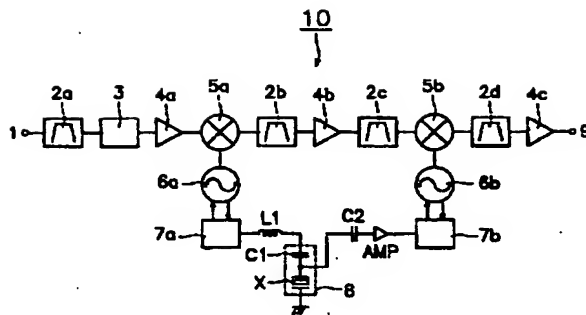
【図3】従来のチューナを示すブロック図である。

【符号の説明】

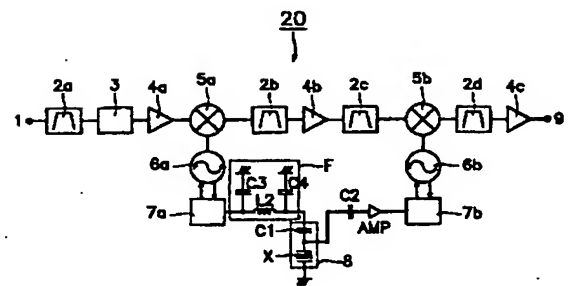
5a, 5b	混合器
6a, 6b	電圧制御発振器
7a, 7b	PLL IC
8	基準発振子回路
10, 20	チューナ
F	フィルタ
L1	インダクタンス素子

(5)

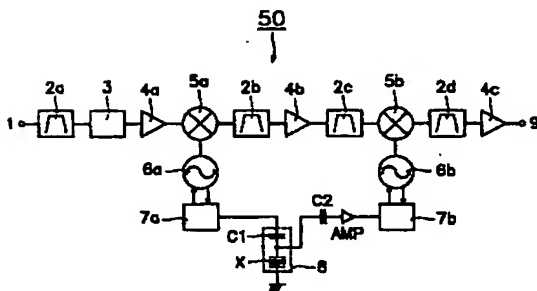
【図1】



【図2】



【図3】



フロントページの続き

F ターム(参考) 5J106 AA04 BB09 CC01 CC15 CC19  
 CC38 DD05 FF06 QQ06  
 5K020 AA03 DD05 DD07 FF05 GG04  
 GG10 GG11 GG12 HH11 MM12  
 MM13  
 5K052 AA02 BB02 BB13 DD15 FF01  
 GG01

